

**Family list**

**1** family member for:

**JP11154169**

Derived from 1 application.

**1    SYSTEM AND METHOD FOR ANALYZING TIMING**

**Publication Info: JP11154169 A    - 1999-06-08**

Data supplied from the *esp@cenet* database - Worldwide

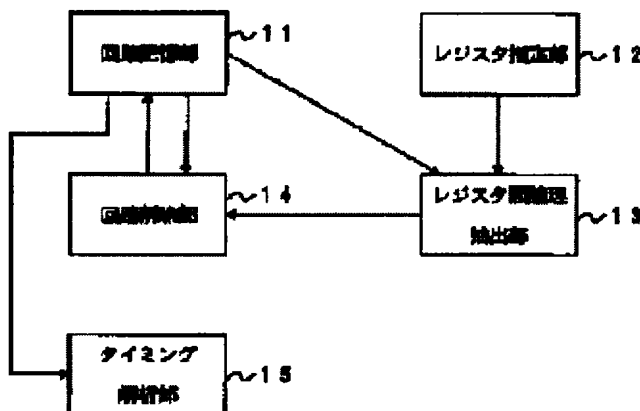
# SYSTEM AND METHOD FOR ANALYZING TIMING

**Patent number:** JP11154169  
**Publication date:** 1999-06-08  
**Inventor:** KUROSAWA YUICHI; SATO KAZUYUKI  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
**- international:** G06F17/50; H01L21/82; G06F17/50; H01L21/70; (IPC1-7): G06F17/50; H01L21/82  
**- european:**  
**Application number:** JP19970322928 19971125  
**Priority number(s):** JP19970322928 19971125

Report a data error here

## Abstract of JP11154169

**PROBLEM TO BE SOLVED:** To provide a timing analytic system with which the timing analysis of a large scale circuit is efficiently performed and a concrete path under the occurrence of timing violation can be presented. **SOLUTION:** First of all, an inter-register logic extracting part 13 extracts a partial circuit surrounded with registers designated by a register designating part 12 out of logic circuit data stored in a circuit storage part 11. Next, a circuit deleting part 14 deletes the partial circuit extracted by the inter-register logic extracting part 13 from the logic circuit data stored in the circuit storage part 11. Then, a timing analytic part 15 executes the timing analysis of a logic circuit between registers while using the partial circuit extracted by the inter- register logic extracting part 13 and executes the timing analysis of a logic circuit including the deleted partial circuit while using the logic circuit data after that partial circuit is deleted by the circuit deleting part 14.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154169

(43) 公開日 平成11年(1999) 6月8日

(51) Int. Cl. <sup>6</sup>

G06F 17/50

H01L 21/82

識別記号

F I

G06F 15/60

H01L 21/82

668

A

C

審査請求 未請求 請求項の数7 O L (全8頁)

(21) 出願番号 特願平9-322928

(22) 出願日 平成9年(1997)11月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 黒澤 雄一

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

(72) 発明者 佐藤 一幸

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

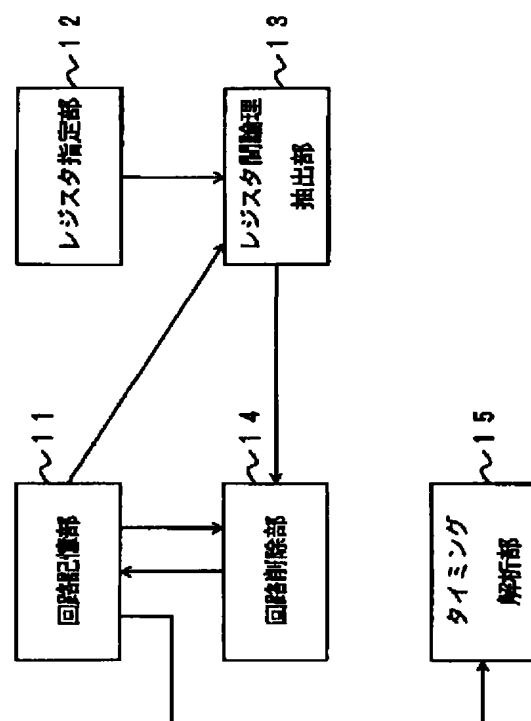
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 タイミング解析システムおよびタイミング解析方法

(57) 【要約】

【課題】大規模回路のタイミング解析を効率よく行ない、またタイミング違反を起こしている具体的なパスを提示できるタイミング解析システムを提供する。

【解決手段】まず、レジスタ間論理抽出部13が、回路記憶部11に記憶された論理回路データの中からレジスタ指定部12により指定されたレジスタで囲まれる部分回路を抽出する。次に、回路削除部14が、レジスタ間論理抽出部13により抽出された部分回路を回路記憶部11に記憶された論理回路データ上から削除する。そして、タイミング解析部15は、レジスタ間論理抽出部13により抽出された部分回路を用いてレジスタ間の論理回路のタイミング解析を実行し、回路削除部14により部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解析を実行する。



## 【特許請求の範囲】

【請求項 1】 論理回路データを記憶する回路記憶手段と、

レジスタを指定するレジスタ指定手段と、

前記回路記憶手段に記憶された論理回路データの中から前記レジスタ指定手段により指定されたレジスタで囲まれる部分回路を抽出するレジスタ間論理抽出手段と、  
前記レジスタ間論理抽出手段により抽出された部分回路を前記回路記憶手段に記憶された論理回路データ上から削除する回路削除手段とを具備し、

前記回路削除手段により前記部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解析を行なうことを特徴とするタイミング解析システム。

【請求項 2】 前記回路記憶手段は、論理回路データを一時的に記憶し、

論理回路データを永続的に記憶する第 2 の回路記憶手段と、

前記第 2 の回路記憶手段から前記回路記憶手段へ論理回路データをロードする回路ロード手段と、

前記回路記憶手段に記憶された論理回路データを前記第 2 の回路記憶手段へ保存する回路ストア手段とをさらに具備することを特徴とする請求項 1 記載のタイミング解析システム。

【請求項 3】 前記レジスタ間論理抽出手段により抽出された部分回路を用いてレジスタ間の論理のタイミング解析を行ない、前記回路削除手段により前記部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解析を行なうタイミング解析手段をさらに具備することを特徴とする請求項 1 記載のタイミング解析システム。

【請求項 4】 論理回路データを記憶するステップと、レジスタを指定するステップと、

前記記憶した論理回路データの中から前記指定されたレジスタで囲まれる部分回路を抽出するステップと、

前記抽出された部分回路を前記記憶した論理回路データ上から削除するステップとを具備し、

前記部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解析を行なうことを特徴とするタイミング解析方法。

【請求項 5】 論理回路データを記憶するステップと、レジスタを指定するステップと、

前記記憶した論理回路データの中から前記指定されたレジスタで囲まれる第 1 の回路を抽出するステップと、

前記記憶した論理回路データ上から前記抽出した第 1 の回路を削除した第 2 の回路を作成するステップと、

前記第 1 の回路を用いてレジスタ間の論理のタイミング解析を行ない、前記第 2 の回路を用いて前記第 1 の回路を含む論理回路のタイミング解析を行なうステップとを具備することを特徴とするタイミング解析方法。

【請求項 6】 論理回路データを記憶し、

レジスタを指定し、

前記記憶した論理回路データの中から前記指定されたレジスタで囲まれる部分回路を抽出し、

前記抽出された部分回路を前記記憶した論理回路データ上から削除し、

前記部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解析を行なうようにコンピュータを動作させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【請求項 7】 論理回路データを記憶し、

レジスタを指定し、

前記記憶した論理回路データの中から前記指定されたレジスタで囲まれる第 1 の回路を抽出し、

前記記憶した論理回路データ上から前記抽出した第 1 の回路を削除した第 2 の回路を作成し、

前記第 1 の回路を用いてレジスタ間の論理のタイミング解析を行ない、前記第 2 の回路を用いて前記第 1 の回路を含む論理回路のタイミング解析を行なうようにコンピュータを動作させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、コンピュータを用いたハードウェアの設計を支援する CAD システムなどに適用して好適なタイミング解析システムおよびタイミング解析方法に関わる。

【0002】

【従来の技術】LSI (Large Scale Integrated circuit) の論理設計過程においては、設計した回路が所望の機能を実現しているかを検証する機能検証と、回路を構成する各素子の遅延を考慮した上で回路が正しく動作するかを検証するタイミング検証とが必要である。従来、これらは設計対象テクノロジのライブラリ素子から構成される論理回路に対して、遅延を考慮した (遅延付き) シミュレーションを施すことによって行なわれてきた。しかし、設計対象ハードウェアの複雑化大規模化に伴って、前述した遅延付きシミュレーションとそのテストパターンの作成とに掛かる時間が膨大なものになってきた。そこで、タイミング検証については、この遅延を考慮したシミュレーションを行なう代わりに、論理回路中のレジスタ間のパス

(経路) の遅延を静的に計算し、これがサイクルタイムに収まるか否かを自動的にチェックする静的タイミング解析手法が行なわれつつある (以下では、単にタイミング解析と書いた場合も静的タイミング解析を表すものとする。)。この手法によれば、シミュレーションのようにテストパターンを幾通りも作成することなく、一回の実行で、回路の遅延に関する問題をチェックすることが

でき、タイミング検証にかかる期間を大幅に短縮することができる。しかし、数 1 0 0 K ゲート規模の回路になると、静的タイミング解析に必要な回路データ量やバスの探索量も膨大になり、計算機のメモリが不足し、処理できないという問題が起こる。このため、予め、あるモジュール内部のレジスタ間のバスについてタイミング解析を行なってタイミング違反をなくしておき、このモジュール内部をブラックボックスと見做して、入出力のタイミング情報のみを記述したモデル（以下、タイミングモデルと記す）を作り、大規模回路のタイミング解析を高速に行なう手法が提案されている。しかし、タイミングモデルを使用した解析では、モジュール内部の回路の情報は使用しないために、タイミング違反はモジュールの入出力端子の違反としてレポートされてしまう。このため、実際に、モジュール内のどのレジスタへのバスが違反しているか、どのレジスタからのバスが違反しているかということを容易に把握できないという問題がある。すなわち、実際に設計変更の可能性があるので、レジスタ間のバスであり、これを把握する必要があるが、具体的なレジスタ間のバスを洗い出すためには、ブラックボックス化したモジュールを通常の論理回路に置き換えた後、計算機のメモリが不足しないように、解析に必要な最小限のモジュール間で再度タイミング解析を行なう必要がある。

#### 【 0 0 0 3 】

【発明が解決しようとする課題】このように、従来のタイミング解析方法によれば、タイミングモデルを使用し解析処理を高速化した場合においても、タイミングモデル内部のレジスタを始点および終点とするバスを具体的に提示できなくなるため、逆にタイミング違反箇所の特  
30 定、修正作業に手間を要し、結果としてタイミング解析全体の効率が向上しないという問題があった。

【 0 0 0 4 】この発明はこのような実情に鑑みてなされたものであり、大規模回路のタイミング解析を高速かつ少ないメモリ使用量で行なうとともに、タイミング違反を起こしている具体的なバスを提示することのできるタイミング解析システムおよびタイミング解析方法を提供することを目的とする。

#### 【 0 0 0 5 】

【課題を解決するための手段】前述した目的を達成するために、この発明は、論理回路データを記憶する回路記憶手段と、レジスタを指定するレジスタ指定手段と、前記回路記憶手段に記憶された論理回路データの中から前記レジスタ指定手段により指定されたレジスタで囲まれる部分回路を抽出するレジスタ間論理抽出手段と、前記レジスタ間論理抽出手段により抽出された部分回路を前記回路記憶手段に記憶された論理回路データ上から削除する回路削除手段とを具備し、前記回路削除手段により前記部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解  
50

析を行なうようにしたものである。

【 0 0 0 6 】この発明によれば、大規模回路をタイミング解析する場合に、予め部分回路のレジスタ間の論理をタイミング解析しておき、次に、これらの論理を除いた回路を用いて、少ないメモリ使用量で高速に上位階層のタイミング解析が行なえるとともに、タイミング解析時の違反バスとして、具体的にレジスタ間のバスを提示することが可能となる。

【 0 0 0 7 】また、この発明は、前記回路記憶手段が、論理回路データを一時的に記憶し、論理回路データを永続的に記憶する第 2 の回路記憶手段と、前記第 2 の回路記憶手段から前記回路記憶手段へ論理回路データをロードする回路ロード手段と、前記回路記憶手段に記憶された論理回路データを前記第 2 の回路記憶手段へ保存する回路ストア手段とをさらに具備するようにしたものである。

【 0 0 0 8 】この発明によれば、予めレジスタ間の論理が完成された回路において、当該論理を除いた回路を作成し、それを第 2 の回路記憶手段へ保存することにより、上記回路を含む回路をタイミング解析する場合に、それを使用し、少ないメモリ使用量で高速に上位階層のタイミング解析を行なうことが可能となる。さらに、タイミング解析時の違反バスとして、具体的にレジスタ間のバスを提示することが可能となる。

【 0 0 0 9 】また、この発明は、前記レジスタ間論理抽出手段により抽出された部分回路を用いてレジスタ間の論理のタイミング解析を行ない、前記回路削除手段により前記部分回路が削除された後の論理回路データを用いてその削除された部分回路を含む論理回路のタイミング解析を行なうタイミング解析手段をさらに具備するようにしたものである。

【 0 0 1 0 】この発明によれば、大規模回路をタイミング解析する場合に、いくつかのレジスタ間の論理回路とこれらの論理を除いた回路とを作成し、前者を用いてレジスタ間の論理回路のタイミング解析を、後者の回路を用いてそれを含む上位階層のタイミング解析を少ないメモリ使用量で高速に行なうことが可能となる。また、同時に、タイミング解析時の違反バスとして、具体的にレジスタ間のバスを提示することが可能となる。

#### 【 0 0 1 1 】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態について説明する。

（第 1 の実施形態）まず、この発明の第 1 の実施形態を説明する。図 1 に、この第 1 の実施形態に関わるタイミング解析システムの構成図を示す。

【 0 0 1 2 】回路記憶部 1 1 は、論理回路データを記憶する計算機上のメモリである。回路記憶部 1 1 に記憶される論理回路の例を図 2 および図 3 に示す。レジスタ指定部 1 2 は、回路記憶部 1 1 中のいくつかのレジスタを指定する。ここで、レジスタとは、回路中のフリップフ

ロップとラッチ素子とをいう。レジスタ間論理抽出部13は、レジスタ指定部12によって指定されたレジスタで囲まれた素子（レジスタは除く）を求める。回路削除部14は、レジスタ間論理抽出部13によって得られた素子を回路記憶部11から削除する。そして、タイミング解析部15は、回路記憶部11に記憶されたデータに対して静的タイミング解析を行なう。

【0013】以下、回路記憶部11に図2および図3に示す論理回路が記憶されている場合を例にとり説明を行なう。図2は、2階層からなるモジュールM0のブロック図であり、下位モジュールとしてM11およびM12を含む。一方、図3は、M12内部の回路図である。なお、M11内部の回路図は説明に使用しないため、ここでは省略する。図2において、DA、DBおよびICLKはモジュールM0の入力端子、DCは出力端子である。また、モジュールM11は、入力端子IA、IBおよびICLKと、出力端子OAおよびOBとをもち、モジュールM12は、入力端子IA、IBおよびICLKと、出力端子OCとをもち、端子名に付加した（2：0）は、その端子が3ビットであり、2、1、0のビット位置をもつことを示す。個々のビットの信号は、図3のように、ビット位置を用いてIA（3）、IA

（2）、IA（1）、IA（0）のように記す。一方、図3において、31～39はレジスタであり、310～326は、ANDやORなどの論理演算を行なう素子である。いま、図3のレジスタ間のパス、たとえば、32を始点として、320、323および325を経て39へ至るパス、についてはすでにタイミング解析が終了しているとして、図2のモジュールM0のタイミング解析を行なう場合を想定する。ユーザは、まず、レジスタ指定部12において、モジュールM12の全レジスタを指定する。たとえば、モジュール名M12を指定することにより、モジュールM12の全レジスタが指定されたとみなす。図4に、レジスタ指定部12、レジスタ間論理抽出部13および回路削除部14の処理フローを示す。

【0014】まず、ステップS1において、レジスタ指定部12により指定されたレジスタの集合Rを求める。上記の場合、M12の全レジスタであるから、 $R = \{31, 32, 33, 34, 35, 36, 37, 38, 39\}$ となる（Rの要素の数字は図3における素子の識別子である）。次に、レジスタ間論理抽出部13は、ステップS2の処理を行なう。すなわち、Rの各要素31～39を基準に、回路の入力方向へモジュールM12の入力端子またはレジスタへ辿り着くまでトレースを行なう。そして、Rの要素のレジスタまでのパス上に存在する素子の集合P1およびR以外のレジスタまたは入力端子までのパス上に存在する素子の集合P2を求める。たとえば、レジスタ38のD入力からトレースすると、たとえば、322、318、31、34、319、32および35の順に素子が得られるため、P1に{322、

318、319}が追加される。また、レジスタ36のD入力からトレースすると、たとえば、316、315、IB（0）、IB（1）およびIB（2）の順に素子が得られるため、P1は、以前の状態のままであり、P2に{316、315}が追加される。同様にRのすべての要素からのトレースを行なうと、

$P1 = \{317, 318, 319, 320, 321, 322, 323, 324, 325, 326\}$

$P2 = \{310, 311, 312, 313, 314, 315, 316\}$

となる。次に、ステップS3へ進み、削除すべき素子の集合Dを、P1に属し、P2に属さない素子の集合として計算し、

$D = \{317, 318, 319, 320, 321, 322, 323, 324, 325, 326\}$

を得る。次に、回路削除部14は、ステップS4の処理、すなわち、回路記憶部11に記憶された図3の回路からステップS3で求めた上記の集合Dに属する素子を削除する。この結果、図5に示す回路が得られる。そして、タイミング解析部15は、図2のM0のタイミング解析を、図5の回路M12を用いて実行する。

【0015】このように、すでにタイミング解析が終了したモジュールM12内部のレジスタ間の素子（上記集合D）を削除した回路（図5）を用いて上位階層モジュールM0のタイミング解析を行なうことによって、少ないメモリ使用量で高速にタイミング解析を行なうことが可能となる。さらに、図5の回路においては、レジスタが保存されているため、たとえば、M0のタイミング解析をM12をブラックボックスとして扱ってタイミング解析を行なう場合に、M12の入力端子IB（0）までのパスが違反であるとレポートされるのとは異なり、違反パスとしてレジスタまでのパスを具体的に提示すること、たとえば、図5のIB（0）、315、316および36を提示することが可能となる。

【0016】（第2の実施形態）次に、この発明の第2の実施形態を説明する。図6に、この第2の実施形態に関わるタイミング解析システムの構成図を示す。

【0017】図6において、回路記憶部（1）21、レジスタ指定部22、レジスタ間論理抽出部23、回路削除部24およびタイミング解析部25は、それぞれ前述した第1の実施形態の図1における、回路記憶部11、レジスタ指定部12、レジスタ間論理抽出部13、回路削除部14およびタイミング解析部15と同様の処理を行なう。ここで、回路記憶部（1）21は、計算機上のメモリであり、回路記憶部（2）26は、ハードディスクなど回路データを永続的に保持することができるデバイスである。回路ロード部27は、回路記憶部（2）26に記憶されたデータを回路記憶部（1）21に読み出す処理を行なう。回路ストア部28は、回路記憶部

（1）21のデータを回路記憶部（2）26に永続的に

保存する処理を行なう。すなわち、回路削除部 2 4 によって生成された図 5 のような回路データを回路ストア部 2 8 によって回路記憶部 ( 2 ) 2 6 に永続的に保存しておき、そのモジュールを使用した他の回路のタイミング解析時に、回路ロード部 2 7 によって取り出し再利用することが可能となる。すなわち、あるモジュールを含む回路をタイミング解析する場合に、回路記憶部 ( 2 ) 2 6 に記憶されている回路削除部 2 4 によって削除されてきた回路を使用して、高速かつ少ないメモリ使用量でタイミング解析を行なうことができる。そして、上記の回路においては、レジスタが保存されているため、タイミング解析違反となったパスは全て、レジスタを始点や終点として提示することが可能となる。

【 0 0 1 8 】以下では、前述した第 1 の実施形態や第 2 の実施形態に施すことのできる変形の例を示す。

( 1 ) 上記の実施形態において、回路削除部 ( 1 4 , 2 4 ) は、レジスタ指定部 ( 1 2 , 2 2 ) において指定されたレジスタ間の論理を削除した回路のみを生成したが、さらに、削除された部分と上記レジスタとから成るレジスタ間の論理を生成することも考えられる。たとえば、図 3 の回路から図 5 の回路と図 7 の回路とを生成する。そして、タイミング解析部 ( 1 5 , 2 5 ) によって、図 7 の回路を用いてモジュール M 1 2 内のレジスタ間のタイミング解析を行ない、図 3 の回路を用いてこれを含む上位階層 M 0 のタイミング解析を行なう。図 7 は、図 3 の回路から入出力端子とレジスタ間の論理とを除いたものであるため、図 3 の回路の部分回路である。したがって、これを用いることによって、M 1 2 内部のタイミング解析も図 3 に示した元の回路を用いる場合に比べ、少ないメモリ量で高速に行なうことが可能となる。

( 2 ) 前述の実施形態において、レジスタ指定部 ( 1 2 , 2 2 ) では、ある階層内のレジスタを指定したが、複数の階層内のレジスタを指定して、これらで囲まれた論理をレジスタ間論理抽出部 ( 1 3 , 2 3 ) によって抽出し、回路削除部 ( 1 4 , 2 4 ) によって削除することも可能である。すなわち、複数モジュールに渡る範囲を削除し、高速かつ少ないメモリ使用量でタイミング解析を行なうことも可能である。

( 3 ) 前述の実施形態においては、M 0 内の 1 モジュール M 1 2 のみにこの発明の手法を適用したが、複数のサブモジュールに対してこの発明の手法を適用してもよいことはもちろんである。これによって、サブモジュール間の論理のタイミング解析を高速かつ少ないメモリ使用量で行ない、違反パスを複数サブモジュールのレジスタ間のパスとして提示することが可能となる。

( 4 ) さらに、この発明の手法は、下位階層から上位階層へ再帰的に適用してもよい。たとえば、C 0 のサブモジュールとして C 1 1 および C 1 2 があり、C 1 1 のサブモジュールとして C 2 1 および C 2 2、また、C 1 2

のサブモジュールとして C 2 3 および C 2 4 があるときに、下位のモジュールからこの発明の手法を適用する。すなわち、まず、C 2 1、C 2 2、C 2 3 および C 2 4 内のタイミング解析を行ない、これらのモジュール内部の論理を完成させ、この発明の手法によって、これらのモジュールのレジスタ間の論理を削除した回路 N 2 1、N 2 2、N 2 3 および N 2 4 を作成する。次に、C 1 1 および C 1 2 内のタイミング解析を N 2 1、N 2 2、N 2 3 および N 2 4 を用いて行ない、論理を完成させる。さらに、N 2 1、N 2 2、N 2 3 および N 2 4 をサブモジュールとして使用した C 1 1 および C 1 2 の回路についてそれぞれこの発明の手法を適用し、これら内部のレジスタで囲まれた論理を削除した回路 N 1 1 および N 1 2 を生成する。そして、最上位 C 0 のタイミング解析を N 1 1 および N 1 2 を用いて行なう。すなわち、モジュール内部のタイミング解析とモジュール間のタイミング解析とを分離して行なう。そして、モジュール間のタイミング解析を行なうときには、サブモジュール内のレジスタ間で囲まれた論理を削除した回路を用いる。以上の操作を再帰的に適用することによって、大規模回路を高速かつ少ないメモリ使用量でタイミング解析することができ、同時に違反パスをレジスタ間のパスとして提示することが可能となる。

( 5 ) 前述した実施形態において、レジスタ間論理抽出部 ( 1 3 , 2 3 ) は、回路を入力方向にトレースしてレジスタ間の論理を抽出したが、逆に、レジスタ指定部

( 1 2 , 2 2 ) で指定されたレジスタを起点として出力方向にトレースしてレジスタ間の論理を抽出することも可能である。

【 0 0 1 9 】なお、この発明の手法は、ソフトウェアとしての実現が可能であるため、コンピュータによって実行させることのできるプログラムとして、フロッピーディスク、光ディスクおよび半導体メモリなどのコンピュータ読み取り可能な記録媒体に格納して頒布することが可能である。そして、この記録媒体の内容を読み取ったコンピュータは、その読み取ったプログラムを実行制御することにより、前述した処理の実行を実現する。

【 0 0 2 0 】

【発明の効果】以上詳述したように、この発明によれば、大規模回路に対しても高速かつ少ないメモリ使用量でタイミング解析を行なうことが可能になり、また同時に、タイミング違反パスを、レジスタを始点および終点とするパスとして具体的に提示することが可能となる。すなわち、タイミング解析工程全体を効率よく行なうことが可能となる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態に関わるタイミング解析システムの構成を示すブロック図。

【図 2】同第 1 の実施形態の論理回路の一例を示す図。

【図 3】図 2 の下位モジュール M 1 2 内部の回路を示す

10

20

30

40

50

図。

【図 4】同第 1 の実施形態のレジスタ指定部、レジスタ間論理抽出部および回路削除部の処理フローを示す図。

【図 5】同第 1 の実施形態の回路削除部によって削除された回路を示す図。

【図 6】この発明の第 2 の実施形態に関わるタイミング解析システムの構成を示すブロック図。

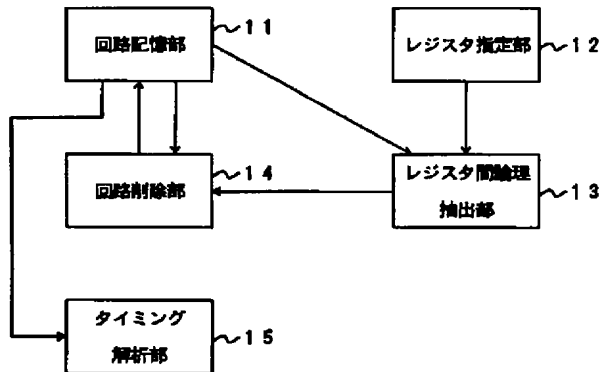
【図 7】同第 2 の実施形態の回路削除部によって生成さ

れる別の回路を示す図。

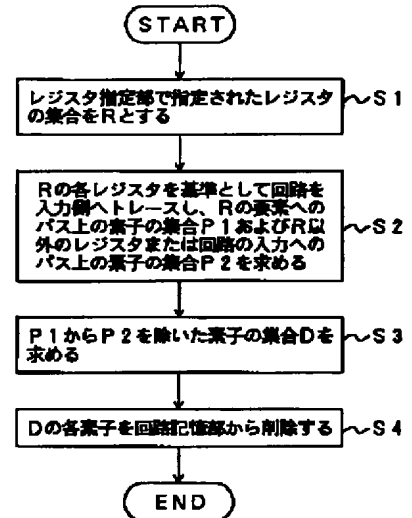
【符号の説明】

1 1 …回路記憶部、1 2 …レジスタ指定部、1 3 …レジスタ間論理抽出部、1 4 …回路削除部、1 5 …タイミング解析部、2 1 …回路記憶部 (1)、2 2 …レジスタ指定部、2 3 …レジスタ間論理抽出部、2 4 …回路削除部、2 5 …タイミング解析部、2 6 …回路記憶部 (2)、2 7 …回路ロード部、2 8 …回路ストア部。

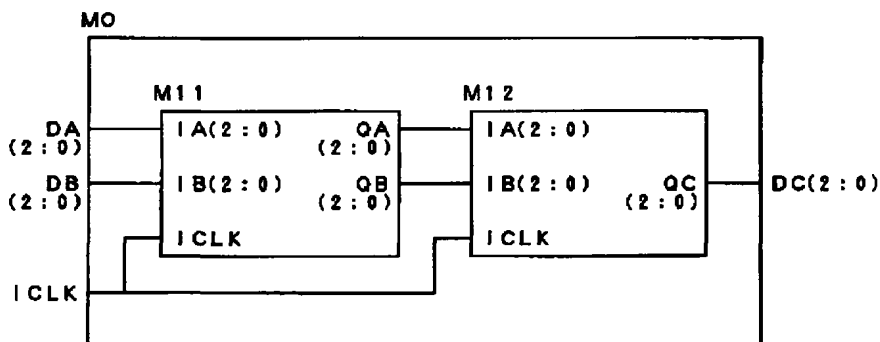
【図 1】



【図 4】

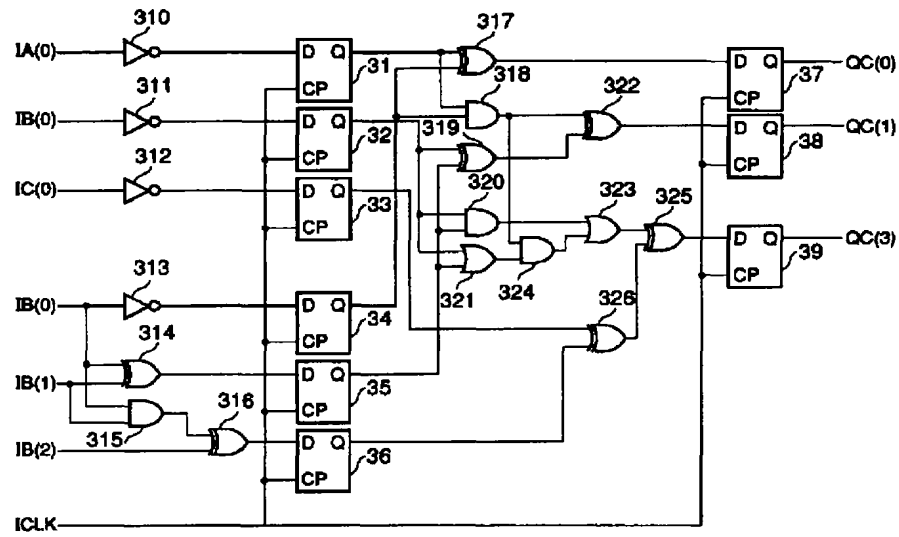


【図 2】

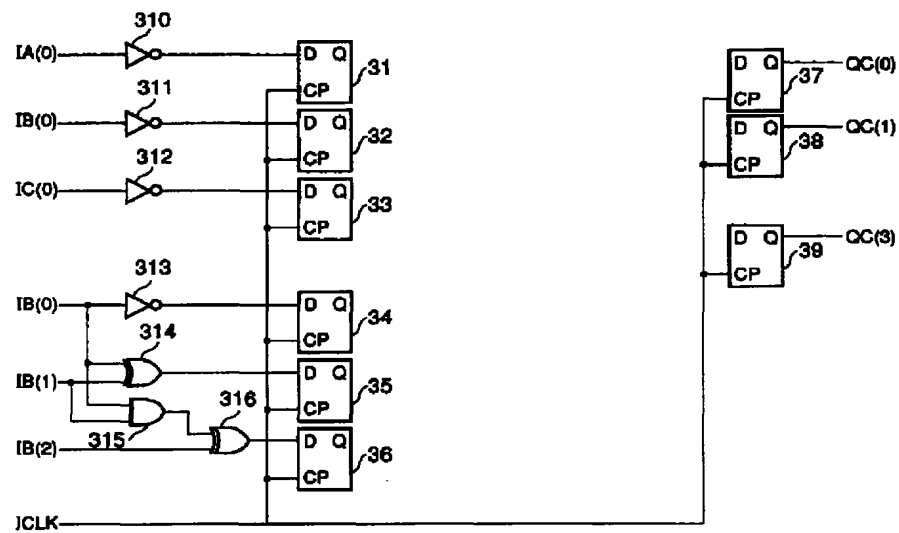




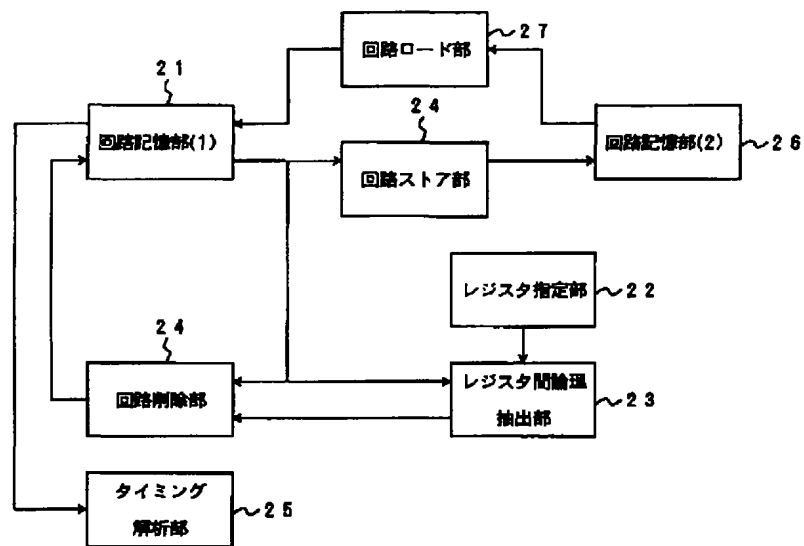
【図 3】



【図 5】



【図 6】



【図 7】

